

SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURE

Publication number: JP2000049242 (A)

Publication date: 2000-02-18

Inventor(s): NAKAMURA TAKAHARU; TOKIFUJI SHUNICHI; UCHIDA EIJI; SHIBUSAWA KATSUHIKO

Applicant(s): OKI DENKI MIYAGI KK; OKI ELECTRIC IND CO LTD

Classification:

- **international:** *H01L21/8247; H01L27/115; H01L29/788; H01L29/792; H01L21/70; H01L27/115; H01L29/66; (IPC1-7): H01L21/8247; H01L27/115; H01L29/788; H01L29/792*

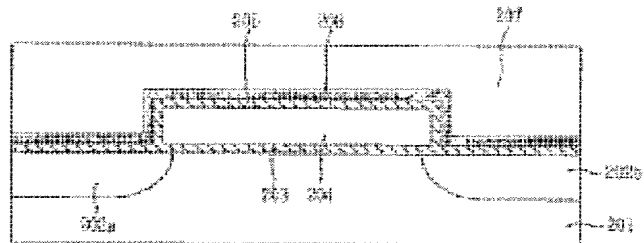
- **European:**

Application number: JP19980213354 19980729

Priority number(s): JP19980213354 19980729

Abstract of JP 2000049242 (A)

PROBLEM TO BE SOLVED: To provide an inexpensive semiconductor storage device, whose structure is simple and the manufacture method by making an electrode to be controlled to be a single layer and making the voltage of use power to be low. **SOLUTION:** Elements are separated as needed, in a P-type semiconductor substrate 201. The concentration profile for an inner part from the surface of silicon is controlled in accordance with the characteristic of the formed element. A gate electrode 204 is formed of polysilicon, metal or of the stacked structure of them and sandwiches a gate oxide film 203 with the semiconductor substrate 201.; Diffused layer 202a and 202b becoming a source electrode or a drain electrode are formed in terms of self-alignment with a component by a film and the like, which is formed so as to make contact with the gate electrode or the gate electrode and the gate electrode as a mask. An oxide film 205 exists on the gate electrode 204 and the semiconductor substrate 201, and a layer-like film 206 exists which contain silicon hydrogen with high concentration in a composition exists on the film. Then, an oxide film 207 aiming at insulation between the layers and flatness exists in arbitrary film thickness and the heat treatment of a proper temperature is executed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-49242
(P2000-49242A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)	
H 0 1 L	21/8247	H 0 1 L 29/78	3 7 1	5 F 0 0 1
	29/788	27/10	4 3 4	5 F 0 8 3
	29/792			
	27/115			

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願平10-213354

(22) 出願日 平成10年7月29日 (1998.7.29)

(71) 出願人 591048162

宮城沖電気株式会社

宮城県黒川郡大衡村沖の平1番地

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 中村 隆治

宮城県黒川郡大衡村沖の平1番地 宮城沖
電気株式会社内

(74) 代理人 100089635

弁理士 清水 守 (外1名)

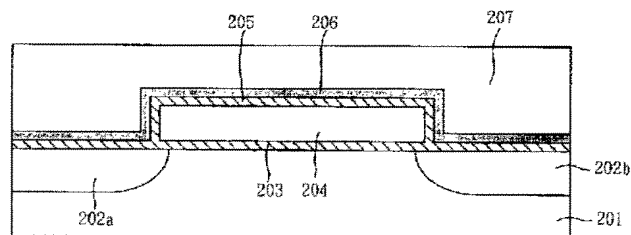
最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 制御すべき電極を単層とし、使用電源を低電圧化することにより、構造が簡単で、安価な半導体記憶装置及びその製造方法を提供する。

【解決手段】 P型半導体基板201は必要に応じて素子間分離がなされている。シリコン表面から内部に向けての濃度プロファイルは、形成される素子の特性に応じて制御されている。ゲート電極204はポリシリコン、金属あるいはそれらの積層構造からなり、半導体基板201との間にゲート酸化膜203を挟んでいる。ソース電極あるいはドレイン電極となる拡散層202a、202bはゲート電極あるいはゲート電極とゲート電極に接するように形成された膜等による構成物をマスクとして自己整合的に形成されている。上記ゲート電極204上及び半導体基板201上には、酸化膜205が存在しており、その上に、高濃度に水素を含有するシリコンを組成中に含む層状膜206が存在する。さらに、層間の絶縁や、平坦性の確保を目的とした酸化膜207が任意の膜厚で存在し、さらに適当な温度の熱処理が施される。



201 : P型半導体基板

202a, 202b : 拡散層

203 : ゲート酸化膜

204 : ゲート電極

205, 207 : 酸化膜

206 : 高濃度に水素を含有するシリコンを組成中に含む層状膜

【特許請求の範囲】

【請求項 1】 第 1 の導電型の半導体基板上にゲート酸化膜とゲート電極と、第 2 の導電型の拡散層からなるソース及びドレインを有し、前記ゲート電極の対向する 2 辺に近接する位置に配置される MOS 型トランジスタを備え、該 MOS 型トランジスタに接触するか、あるいはシリコン酸化膜等の緩衝膜を間に挟んで、高濃度に水素を含有するシリコンを組成中に含む層状膜が前記 MOS 型トランジスタ上の全体あるいはその一部を被うように形成され、かつ、前記層状膜の上部に絶縁膜を有することを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 記載の半導体記憶装置において、前記層状膜がシリコン窒化膜であることを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 記載の半導体記憶装置において、前記層状膜が 10 nm から 250 nm の膜厚であることを特徴とする半導体記憶装置。

【請求項 4】 請求項 1 記載の半導体記憶装置において、前記層状膜に含有する水素の量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上であることを特徴とする半導体記憶装置。

【請求項 5】 第 1 の導電型の半導体基板上にゲート酸化膜とゲート電極と、第 2 の導電型の拡散層からなるソース及びドレインを有し、前記ゲート電極の対向する 2 辺に近接する位置に配置される MOS 型トランジスタを備え、該 MOS 型トランジスタに接触するか、あるいはシリコン酸化膜等の緩衝膜を間に挟んで、高濃度に水素を含有するシリコンを組成中に含む層状膜が前記 MOS 型トランジスタ上の全体あるいはその一部を被うように形成され、かつ、前記層状膜の上部に絶縁膜を備え、前記 MOS 型トランジスタの状態を複数存在させることでデータを記憶させる半導体記憶装置であって、前記 MOS 型トランジスタのドレイン及びゲート電極にゲート電圧がドレイン電圧の $1/2$ より低い条件で電圧を印加することで、前記 MOS 型トランジスタの特性を恒常的にかつ、ソースとドレインで非対称に変動させ、その非対称に変動する電流量の差異を検出する回路を有することを特徴とする半導体記憶装置。

【請求項 6】 (a) 第 1 の導電型の半導体基板上に、MOS 型トランジスタのゲート酸化膜となるシリコン酸化膜を形成する工程と、(b) 前記シリコン酸化膜上にゲート電極を形成する工程と、(c) パターニングされたゲート電極の対向する 2 辺に接するか近接する位置にドレインあるいはソースとなる第 2 の導電型を有する拡散層を形成する工程と、(d) 前記 MOS 型トランジスタ領域全体か一部の領域に、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜の積層構造を形成する工程と、

(e) 窒素、酸素、あるいは酸素と水素の混合燃焼ガスなどにより熱処理を行う工程を順に施すことを特徴とする半導体記憶装置の製造方法。

【請求項 7】 請求項 6 記載の半導体記憶装置の製造方

法において、前記熱処理の温度が 800°C 以上であることを特徴とする半導体記憶装置の製造方法。

【請求項 8】 半導体記憶装置の製造方法において、

(a) 第 1 の導電型の半導体基板上に、MOS 型トランジスタのゲート酸化膜となるシリコン酸化膜を形成する工程と、(b) 前記シリコン酸化膜上にゲート電極を形成する工程と、(c) パターニングされたゲート電極の対向する 2 辺に接するか近接する位置にドレインあるいはソースとなる第 2 の導電型を有する拡散層を形成する工程と、(d) 前記 (c) 工程に連続するか、あるいは複数の工程を経た後、水素を含む雰囲気中で熱処理を行う工程とを順に施すことを特徴とする半導体記憶装置の製造方法。

【請求項 9】 請求項 8 記載の半導体記憶装置の製造方法において、前記熱処理の温度が 800°C 以上であることを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置に係り、特に、OTP (One Time PROM) 及びその製造方法に関するものである。

【0002】

【従来の技術】 半導体チップにより構成される記憶媒体には DRAM (ダイナミックランダムアクセスメモリ)、SRAM (スタティックランダムアクセスメモリ)、ROM (リードオンリーメモリ) 等様々な種類があり、用途により使い分けがなされている。

【0003】 本発明は、このような半導体記憶装置（以下、単にメモリという）のうち、製品完成後に電気的に一度書き込むことができるタイプの不揮発性メモリに関するものである。従来、このようなタイプのメモリには「VLSI テクノロジー入門」（平凡社：柴田直監修）P39 に示される、EPROM (エレクトリカル・プログラマブル ROM)、EEPROM (エレクトリック・イレイザブルアンドプログラマブル ROM) 等がある。

【0004】 ここでは、EPROM を従来例として示す。図 12 は従来の EPROM に使用されるメモリセルの一般的な構造断面図である。この図に示すように、P 型の半導体基板 101 は、図を略しているが隣接するメモリセルとの間で素子分離がなされている。半導体基板 101 上にはゲート酸化膜 103 を挟んで電気的に周囲から完全に絶縁されたフローティングゲート 104 と、このフローティングゲート 104 をコントロールするためのコントロールゲート 106、さらに両者を電気的に絶縁するための酸化膜 105 が順に形成されている。また、半導体基板 101 表面には、NMOS のソースとして働く N 型拡散層 102a とドレインとして働く N 型拡散層 102b が形成されている。

【0005】 この EPROM のコントロールゲート 10

6とドレイン102bに、例えば、20Vの高電圧を印加すると、チャネル中の電子への大きな電場のため、幾つかの電子はゲート酸化膜103のポテンシャルバリアを越えてフローティングゲート104中に入り、その電子は10年以上出ていかない。このようにフローティングゲート104に電子が注入されている場合、コントロールゲート106に、例えば、5Vを印加することにより誘起される正電荷は、注入されていた電子により打ち消されチャネルが形成されない。これはこのセルに

「1」が書き込まれたことを意味する。しかし、フローティングゲート104に電子が注入されていない場合は、チャネルが形成され、「0」に対応する。

【0006】このようにコントロールゲート106に電圧を印加したとき電流が流れるか、流れないかで、

「0」、「1」を記憶している。なお、データ消去は紫外線を照射してフローティングゲート104内の注入電子にゲート酸化膜103のポテンシャルバリアを飛び越えるに十分なエネルギーを与えることにより行っている。EPROMは上記のように紫外線照射を行うことで酸化膜中にトラップされたキャリアを放出し、メモリ内容を消去することで再度別の内容を書き込むことができる。しかし、その使用方法によっては、再度の書き込みを必要としない場合も多いことから、消去することを想定せず、紫外線照射用の窓を持たないOTP(One Time PROM)と呼ばれるEPROMの類似デバイスがある。これは、基本的にはEPROMと同一の構造を有しているが、窓がないために汎用的なパッケージが使用できる上に、プロセス的にも書き換えによる膜質の劣化等を考慮しなくてもよいことから、安価に製造できるという特徴を持っている。

【0007】また、OTPにはその他にMNOSと呼ばれる構造がある。これは、例えば、『半導体デバイス』(オーム社：電気学会：垂井康夫他)P163に示されるもので、ゲート膜中を流れるトンネル電流を利用するものである。これは、ゲート膜として酸化膜と窒化膜の積層構造を有している。このゲート膜に電界を印加したときに、膜中を流れる電流に対し酸化膜と窒化膜で差があるため、その界面に電荷が蓄積される。この蓄積電荷によりトランジスタの特性(この場合、閾値電圧)が変化し、記憶作用が生じるのである。

【0008】このように、様々な構造が提案されているが、その構造により電荷を蓄積する位置も異なっているが、基本的な原理は同一であり、高電圧(例えば、21V)で書き込みを行い、通常の電源電圧(例えば、5V)で読み込みを行う2電源方式が使用されている。

【0009】

【発明が解決しようとする課題】しかしながら、上記した従来の構造により得られるOTPデバイスは、以下のような問題点を有する。

1. EPROMタイプ

このタイプのOTPは、先に述べたようにメモリセルを構成する際に、ポリシリコン等による2層のゲートが必要となっており、このことにより、以下のような問題点を有する。

【0010】(A)工程数の増加によるコストの増大
ポリシリコンを通常のMOS構造に比べて1層多く有することにより、最低でも絶縁膜生成、ポリシリコン生成、ポリシリコンホトリソ、ポリシリコンエッチングの4工程は増加する。元来、OTPは安価であることがデバイスの存在価値の一つであり、価格競争力を持つことは重要なポイントとなる。

【0011】(B)平坦性の悪化

メモリセル内ではポリシリコンが2層存在し、この2層のポリシリコンは必ず積層構造となる。そのため、セルの内部において必然的に大きな段差が生じ、次工程、例えば、メタル配線工程において何らかの平坦化技術を使用することが必要となる。

【0012】2. MNOSタイプ

このタイプのOTPは、先に述べたように、書き込みの際に高電圧を使用しており、このことにより以下のような問題点を有する。

(A)高耐圧構造の採用

高電圧を使用するに当たっては、記憶素子はもちろん、その周辺回路を含めて使用電圧にマージンを加味した耐圧を有する必要がある。例えば、素子分離領域の寄生MOS動作を考えた場合、寄生MOSのゲート酸化膜に当たるフィールド酸化膜上に電位を有する電極が存在し、その電位が反転電位を越えた場合、寄生MOSが動作してしまう。

【0013】したがって、この寄生MOSの動作が使用電圧よりも高いことが要求され、これを満たすためには、フィールド酸化膜の厚膜化が必要となる(シリコン中の濃度プロファイルが一定であると仮定して)。この厚膜化は、酸化時間の増大(酸化膜厚は酸化時間の1/2乗に比例する)を招き、コストを引き上げる上に、平坦性の悪化を引き起こす。平坦性の確保のために高耐圧が必要な領域と、そうでない領域で酸化膜厚を変えることも考えられるが、コストを考えると現実的ではない。

【0014】さらに、高耐圧構造を考える場合、酸化膜だけでなく拡散層も考慮する必要が生じる。使用電圧が接合にかかる場合、ある特定の接合に関しては使用電圧を耐圧として確保する必要があり、接合/接合間隔や、接合/コンタクト間隔など様々な間隔、距離等を広げなければならない。結果的に、セルサイズや、周辺回路サイズが大きくなり、チップサイズの増大から、コストアップへとつながる。

【0015】本発明は、上記問題点を除去し、制御すべき電極を単層とし、使用電源を低電圧化することにより、構造が簡単で、安価な半導体記憶装置及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔1〕半導体記憶装置において、第1の導電型の半導体基板上にゲート酸化膜とゲート電極と、第2の導電型の拡散層からなるソース及びドレインを有し、前記ゲート電極の対向する2辺に近接する位置に配置されるMOS型トランジスタを備え、このMOS型トランジスタに接触するか、あるいはシリコン酸化膜等の緩衝膜を間に挟んで、高濃度に水素を含有するシリコンを組成中に含む層状膜が前記MOS型トランジスタ上の全体あるいはその一部を被うように形成され、かつ、前記層状膜の上部に絶縁膜を有するようにしたものである。

【0017】〔2〕上記〔1〕記載の半導体記憶装置において、前記層状膜がシリコン窒化膜である。

〔3〕上記〔1〕記載の半導体記憶装置において、前記層状膜が10nmから250nmの膜厚である。

〔4〕上記〔1〕記載の半導体記憶装置において、前記層状膜に含有する水素の量が $2 \times 10^{15} \text{ cm}^{-2}$ 以上である。

【0018】〔5〕半導体記憶装置において、第1の導電型の半導体基板上にゲート酸化膜とゲート電極と、第2の導電型の拡散層からなるソース及びドレインを有し、前記ゲート電極の対向する2辺に近接する位置に配置されるMOS型トランジスタを備え、このMOS型トランジスタに接触するか、あるいはシリコン酸化膜等の緩衝膜を間に挟んで、高濃度に水素を含有するシリコンを組成中に含む層状膜が前記MOS型トランジスタ上の全体あるいはその一部を被うように形成され、かつ、前記層状膜の上部に絶縁膜を備え、前記MOS型トランジスタの状態を複数存在させることでデータを記憶させる半導体記憶装置であって、前記MOS型トランジスタのドレイン及びゲート電極にゲート電圧がドレイン電圧の $1/2$ より低い条件で電圧を印加することで、前記MOS型トランジスタの特性を恒常的にかつ、ソースとドレインで非対称に変動させ、その非対称に変動する電流量の差異を検出する回路を有するようにしたものである。

【0019】〔6〕半導体記憶装置の製造方法において、第1の導電型の半導体基板上に、MOS型トランジスタのゲート酸化膜となるシリコン酸化膜を形成する工程と、前記シリコン酸化膜上にゲート電極を形成する工程と、パターンニングされたゲート電極の対向する2辺に接するか近接する位置にドレインあるいはソースとなる第2の導電型を有する拡散層を形成する工程と、前記MOS型トランジスタ領域全体か一部の領域に、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜の積層構造を形成する工程と、窒素、酸素、あるいは酸素と水素の混合燃焼ガスなどにより熱処理を行う工程を順に施すようにしたものである。

【0020】〔7〕上記〔6〕記載の半導体記憶装置の

製造方法において、前記熱処理の温度が800℃以上である。

〔8〕半導体記憶装置の製造方法において、(a)第1の導電型の半導体基板上に、MOS型トランジスタのゲート酸化膜となるシリコン酸化膜を形成する工程と、

(b)前記シリコン酸化膜上にゲート電極を形成する工程と、(c)パターンニングされたゲート電極の対向する2辺に接するか近接する位置にドレインあるいはソースとなる第2の導電型を有する拡散層を形成する工程と、

(d)前記(c)工程に連続するか、あるいは複数の工程を経た後、水素を含む雰囲気中で熱処理を行う工程とを順に施すようにしたものである。

【0021】〔9〕上記〔8〕記載の半導体記憶装置の製造方法において、前記熱処理の温度が800℃以上である。

本発明は、MOSFETのゲート酸化膜に高温下で水素を導入すると、ゲート酸化膜のHC耐性が非常に悪くなる現象を利用している。図10に示すように、水素アニール(850℃)を行うと、行わない場合に比べて、大きくライフタイム(MOSFETに所定の電圧を加えた時のGmの値が10%減少する時間)が短くなり、大きく劣化していることが分かる。特に、ゲート電圧の低い条件(Vdに対して、Vgが $1/5$ 程度)で特に劣化が大きくなる。また、ゲート上にSiN膜層を形成した場合でも同じ劣化が起こっている。これは、MOSFETを作製する場合に、よく行う平坦化のための高温の熱処理(この場合、850℃で行った)により、SiN膜層に含まれた水素が高温下でゲート酸化膜に拡散したため、同じ劣化が起こっている。このように高温で水素を導入するとゲート酸化膜のホットキャリア耐性が劣化しやすいMOSFETとなる。

【0022】本発明は、この現象を積極的に利用したOTPであり、MOSFETは電圧を加えて、劣化すると、チャネルを流れる電流量(I_{ds})が減少する。劣化させたものと劣化させていないものとでI_{ds}が異なる。この電流量の違いにより、「0」、「1」を定義でき、OTPを形成することができる。また、電圧を加え、Gmが大きく劣化した時、閾値電圧V_tはあまり変化しない。図11(a)、図11(b)は水素をゲート酸化膜に導入したMOSFETに電圧を加えた時のGm、V_tの変化の時間依存性を示す図である。Gmはこの測定で最終的に10%以上劣化するが、閾値電圧V_tは0.002V未満の変化となっており、はじめの閾値電圧V_tの値が約0.6Vであるので、ほとんど変化していない。

【0023】このように、本発明によれば、MOS動作中に発生するホットキャリアを能動的に制御し、MOSのゲート酸化膜の一部に導入し、MOS型トランジスタの順方向と逆方向の特性を異なるようにすることにより、電気的にしかも従来のOTPに書き込む場合より低

電圧において書き込みが行えるようにし、さらに構造的にも、工程的にも簡易な半導体記憶装置及び製造方法を実現することができる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態について詳細に説明する。第1は本発明の第1実施例を示す半導体記憶装置の断面図、図2はその回路図である。図1は通常のN型MOS型トランジスタ（以下、NMOSという）の便宜上ごく単純な構造を表示しているが、LDDや、DDD等他の一般的なMOS構造でも動作は全く同じである。

【0025】図1において、P型半導体基板201は必要に応じて素子間分離がなされている。また、シリコン表面から内部に向けての濃度プロファイルは、形成される素子の特性に応じて制御されている。ゲート電極204はポリシリコン、金属あるいはそれらの積層構造からなり、半導体基板201との間にゲート酸化膜203を挟んでいる。ソース電極あるいはドレイン電極となる拡散層202a、202bはゲート電極あるいはゲート電極とゲート電極に接するように形成された膜等による構造物をマスクとして自己整合的に形成されている。

【0026】上記ゲート電極204上及び半導体基板201上には、酸化膜205が存在しており、その上に、高濃度に水素を含有するシリコンを組成中に含む層状膜206が存在する。さらに、層間の絶縁や、平坦性の確保を目的とした酸化膜207が任意の膜厚で存在し、さらに適当な温度の熱処理が施される。その上層に関しては、本発明には直接関係しないので割愛する。

【0027】上記した構造のMOS型トランジスタのドレイン電極をビット線、ゲート電極をワード線（あるいは、逆でも可能）として、図2に示すように、メモリセルに適用する。ビット線208及びワード線209はそれぞれ、セレクト、デコードといった周辺回路に接続されており、ビット線208とビットバー線210間には電流が流れ、その電流を電流計で測定することができるようになっている。

【0028】次に、本発明の半導体記憶装置の動作について説明する。まず、データを書き込む場合であるが、上記メモリセルは、初期状態は通常のMOS型トランジスタである。ここで、ビット線208とワード線209に電圧を印加すると、ゲート電極204下のシリコン基板201のドレイン端に電界が集中し、高エネルギーを持つ電子あるいは正孔（以下、ホットキャリア）が発生する。このホットキャリアが、ゲート酸化膜203中に準位を形成し、MOS型トランジスタの特性を大きく変動させる。具体的には、電流駆動能力を低下させる。このようにして、MOS型トランジスタの特性変動の有無により書き込んだ状態が形成される。

【0029】一方、データを読み出す際には、ビット線208に使用電源電圧（あるいはそれ以下の電圧）を印

加し、ビットバー線210を接地する。ワード線209にも同様に使用電源電圧（あるいはそれ以下の電圧）を印加しMOS型トランジスタを動作させ、電流計により、その際ビット線208とビットバー線210間を流れる電流量 I_d を記録する。

【0030】続いて、ビット線208とビットバー線210を入れ替えて（あるいは電位を逆にして）接続し、同様にMOS型トランジスタを動作させ、電流量 I_s を検出する。この際、書き込みを行っていないセル（トランジスタ）は、当然 $I_d = I_s$ であり、両者に差はない。しかし、書き込みを行ったセルでは、書き込み時に電界を集中させたドレイン側の酸化膜中に多量の準位が発生しているため、 I_d と I_s は同じにはならず、 $I_d < I_s$ となる。このようにして、「1」と「0」を判定する。この結果、OTPとして機能する。

【0031】上記したように、第1実施例によれば、通常のシンプルなMOS型トランジスタ構造に、水素を含有する膜を層間絶縁膜として追加したことにより、熱処理時、その膜中の水素がゲート酸化膜に拡散するため、ホットキャリア耐性が弱まり、従来のOTPに書き込む場合より低い電圧を用いて、かつ極めて短時間に多量の準位をゲート酸化膜に形成することが可能である。

【0032】このことにより生じるメモリ効果により、このトランジスタ構造はROMとして使用することが可能である。また、これまで実用化されている書き込み可能なROMに比較して、工程が簡易であるため安価に製品を製造することができる。更に、その読み出し方法として、電流量を順方向と逆方向で比較する方式をとっているため、他の一般的なROMの方式として使用される V_t （閾値電圧）の変動をセンスする方式に比較して、チップ内、ウエハ面内、ロット内、ロット間などでの特性のばらつきに対して影響を受けることがない。

【0033】次に、本発明の第2実施例について説明する。この実施例における半導体記憶装置の構成は、第1実施例と同様である（図1及び図2参照）。この実施例においては、書き込み以外は第1実施例と同様である。図2において、書き込み時において、ビット線208とワード線209に電圧を印加する際、通常の条件である $V_g/V_d = 1/2$ ではなく、よりゲート電圧の低い電圧印加条件である V_g/V_d が約 $1/5$ の条件で印加する。

【0034】第2実施例によれば、上記第1実施例の効果に加え、水素がゲート酸化膜に拡散したMOS型トランジスタ構造に、上記電圧印加条件を加えることにより、最も短時間に多量の準位をゲート酸化膜及びその界面に発生させ、最も早く書き込みを完了することができる効果を持つ。図3にその第2実施例における電圧印加条件による特性の劣化の変化のデータを示す。ここでは、N型MOSFETで、 $L = 0.8 \mu\text{m}$ 、 $W = 10 \mu\text{m}$ 、酸化膜厚 $T_{ox} = 10 \text{nm}$ 、ドレイン電圧 $V_d =$

5. 5 V、SiN膜厚=15 nmの場合を示している。

【0035】この図に示すように、シリコン窒化膜をゲート上に形成した場合（第6実施例も参照）、ゲート電圧を約1.2 V印加する条件のもとでライフタイムと呼ばれる g_m （伝達コンダクタンス）値が10%劣化する時間が最も短くなる。すなわち、書き込み時間は最も短い。この時の印加電圧条件は、 V_g/V_d が約1/5であり、通常の条件1/2よりゲート電圧が低い。これは、水素がゲート酸化膜に拡散した場合において起こる現象である。

【0036】次に、本発明の第3実施例について説明する。この実施例における半導体記憶装置の構成は、第1及び第2実施例と同様である（図1及び図2参照）。以下、第3実施例の動作について説明する。読み出し以外は、第1及び第2実施例と同様である。図2に示すように、予めビット線208に使用電源電圧（あるいはそれ以下の電圧）を印加し、ビットバー線210を接地する。ワード線209にも同様に使用電源電圧（あるいはそれ以下の電圧）を印加し、MOS型トランジスタを動作させ、電流計によりその際流れる電流量 I_d を記録する。その後、書き込みを行う。

【0037】その後の読み出し時において、同様にMOS型トランジスタを動作させ、電流計によりその際流れる電流量 I_d' を検出する。この際、書き込みを行っていないセル（トランジスタ）は当然 $I_d = I_d'$ であり、両者に差はない。しかし、書き込み処理を行ったセルでは、書き込み時に電界を集中させたドレイン側の酸化膜中に多量の準位が発生しているため I_d と I_d' は同じにならず、 $I_d' < I_d$ となる。このようにして、「1」と「0」を判定する。その結果OTPとして機能

【0038】このように、第3実施例によれば、上記第1実施例の効果に加え、メモリとなる半導体素子の特性と一度取り込んだリファレンスとなる半導体素子の特性と比較すればよいから、読み出し時間の短縮化を図ることができる。次に、本発明の第4実施例について説明する。図4は本発明の第4実施例を示す半導体装置の模式図である。

【0039】この実施例では、第1及び第2実施例と同様の構成に加えて、メモリセル301内のトランジスタ（図示なし）と同じ特性を持つリファレンストランジスタ302をチップ300内に配置する。この第4実施例の半導体装置の動作について説明する。この実施例では、読み出し以外は、第1および第2実施例と同様である。読み出しにおいて、予め記録しておいたチップ300内のリファレンストランジスタ302を流れる電流量とメモリセル301内のトランジスタを流れる電流を比較することにより、「1」と「0」を判定する。

【0040】この実施例の効果は、第3実施例と同様である。次に、本発明の第5実施例について説明する。第

1及び第2実施例と同様の構成に加えて、図5に示すように、メモリセル400内のトランジスタ（図示なし）と同様の特性を持つリファレンストランジスタ403をメモリブロック401毎に配置する。

【0041】この第5実施例の半導体記憶装置の動作について説明する。この実施例では、読み出し以外は、第1及び第2実施例と同様である。読み出しにおいて、予め記録しておいたメモリブロック401毎に配置されたリファレンストランジスタ403を流れる電流量と、そのメモリブロック401内の書き込みの行われた、あるいは行われていないトランジスタを流れる電流を比較することにより、「1」と「0」を判定する。

【0042】この実施例によれば、第4実施例と同様の効果に加えて、特性の面内バラツキの影響を緩和することができる。次に、本発明の第6実施例について説明する。図6は本発明の第6実施例を示す半導体記憶装置の断面図であり、第1実施例と同じ部分については同じ番号を付して、それらの説明は省略する。

【0043】第1から第5実施例のどの構成でもよい。第1から第5実施例において共通であるこのメモリセル内のMOS型トランジスタの構造において、使用する高濃度に水素を含有するシリコンを組成中に含む層状膜として、図6に示すように、10 nm以上の膜厚のシリコン窒化膜606を使用する。このシリコン窒化膜606中には、十分な水素量（ $2 \times 10^{-15} \text{ cm}^{-2}$ 以上）が確保されるようにしている。

【0044】第1実施例と同様の効果があり、さらに外部からのトランジスタへの水の浸入を防ぐ効果がある。次に、本発明の第7実施例について説明する。図7は本発明の第7実施例を示す半導体装置の断面図であり、第1実施例と同じ部分については同じ番号を付して、それらの説明は省略する。

【0045】第1から第5実施例のどの構成でもよい。第1から第5実施例において共通であるこのメモリセル内のMOS型トランジスタの構造において、使用する高濃度に水素を含有するシリコンを組成中に含む膜を使用せず、代わりに、図7に示すように、水素雰囲気中で適当な温度の高温熱処理を行うことを特徴とする。この実施例の方法でも、十分にゲート酸化膜に水素が浸入するため、第1実施例と同様の効果がある。

【0046】次に、本発明の半導体装置の製造方法に関する実施例を、図8を参照しながら説明する。図8は本発明の第6実施例を示す半導体装置の製造工程断面図である。

(1) まず、図8(a)に示すように、比抵抗 $5 \Omega/\square$ のP型の半導体基板801には、公知のLOCOS技術により素子分離膜802が形成されており、かつ将来素子が形成される領域の表面濃度は、MOS型トランジスタの要求性能から濃度コントロールされている。LOCOSに供される酸化膜の膜厚は、例えば、500 nmで

ある。

【0047】(2)次に、図8(b)に示すように、公知の酸化技術を用いて将来MOS型トランジスタのゲート酸化膜となるシリコン酸化膜803を、例えば、20nm形成する。次に、ポリシリコン／タンゲステンシサイドの積層構造804、805を公知のCVD技術(あるいは公知のスパッタリング技術)により、それぞれ150nm形成し、ホトリソ／エッチング技術により所望の形状にパターンニングする。

【0048】(3)次に、図8(c)に示すように、ソース電極あるいはドレイン電極となる拡散層806a、806bを形成する。

(4)次に、図8(d)に示すように、公知のCVD技術を用いて、ボロン、リン等に不純物を含むか、あるいは何ら不純物を含まないシリコン酸化膜807を20～30nm程度積層する。このシリコン酸化膜はCVD技術以外に熱酸化法により得られる膜でも構わない。

【0049】さらに公知のCVD技術を用いて、シリコン窒化膜808を10nmから250nm程度積層する。シリコン酸化膜807を存在させずにシリコン窒化膜808を直接半導体基板上に堆積させることも可能であるが、現在多く使用されているシリコン窒化膜は膜応力が強く、半導体基板に強いストレスを与えるため、その緩衝層としてシリコン酸化膜807を使用する。しかし、その問題が解決できるのであれば必須の膜ではない。

【0050】また、本実施例では窒化膜を水素の供給源として使用しているが、これは通常のシリコン窒化膜を形成する際に、その原料ガスが水素を多量に含有していることから、シリコン窒化膜自体も水素を多く含有していることによる。故に、水素を多く含有し、水素の供給源となる膜であれば、シリコン窒化膜に限定するものではない。

【0051】(5)次に、図8(e)に示すように、公知のCVD技術を用いて、ボロン、リン等に不純物を含むか、あるいは何ら不純物を含まないシリコン酸化膜809を500～1000nm程度堆積する。上記のように供給源を形成し、その後800℃以上の熱処理による拡散を行う。この後、通常の配線工程を行い全工程を完了する。

【0052】この実施例は、第6実施例と同様の効果を奏する製造方法であり、本発明に示す製造方法により、通常用いられるMOS製造工程に、わずか1工程の工程付加で、特有の効果が得られる。図9は本発明の第7実施例を示す半導体装置の製造工程断面図である。この実施例では、シリコン窒化膜を形成せず、その後行う熱処理工程において直接水素雰囲気中で800℃～1000℃の熱処理を行う。これにより水素を供給する。その後、通常の配線工程を行い全工程を完了する。

【0053】(1)まず、図9(a)に示すように、比

抵抗5Ω/□のP型の半導体基板901には、公知のLOCOS技術により素子分離膜902が形成されており、かつ将来素子形成される領域の表面濃度はMOS型トランジスタの要求性能から濃度コントロールされている。LOCOSに供される酸化膜の膜厚は、例えば、500nmである。

【0054】(2)次に、図9(b)に示すように、公知の酸化技術を用いて将来MOS型トランジスタのゲート酸化膜となるシリコン酸化膜903を、例えば、20nm形成する。次に、ポリシリコン／タンゲステンシサイドの積層構造904、905を公知のCVD技術(あるいは公知のスパッタリング技術)により、それぞれ150nm形成し、ホトリソ／エッチング技術により所望の形状にパターンニングする。

【0055】(3)次に、図9(c)に示すように、ソース電極あるいはドレイン電極となる拡散層906a、906bを形成する。

(4)次に、図9(d)に示すように、公知のCVD技術を用いて、ボロン、リン等に不純物を含むか、あるいは何ら不純物を含まないシリコン酸化膜909を形成する。

【0056】(5)次に、図9(e)に示すように、熱処理工程において直接水素雰囲気中で800℃～1000℃の熱処理を行う。これにより水素を供給する。この実施例により、通常用いられるMOS製造工程にわずか1工程の工程付加で、特有の効果が得られる。すなわち、第6実施例と同様の効果を奏することができる。また、この方法を使用する場合、第6実施例に示すような、窒化膜等の供給源は不要であり、工程を減らすことができる。また、平坦性といった面でもメリットがある。

【0057】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0058】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(A)請求項1、3～5記載の発明によれば、ホットキャリア耐性が弱まり、従来のOTPに書き込む場合より低い電圧を用いて、かつ極めて短時間に多量の準位をゲート酸化膜に形成することで、構造が簡単で、かつ安価である。

【0059】(B)請求項2記載の発明によれば、上記(A)の効果に加えて、窒化膜の形成により、外部からのトランジスタへの水の浸入を防ぐ効果がある。

(C)請求項6～7記載の発明によれば、通常用いられるMOS製造工程にわずか1工程の工程付加で、半導体記憶装置を製造することができる。

(D)請求項8～9記載の発明によれば、窒化膜等の供給源は不要であり、より製造を容易に行うことができ

る。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例を示す半導体記憶装置の断面図である。

【図 2】本発明の第 1 実施例を示す半導体記憶装置の回路図である。

【図 3】本発明の第 2 実施例を示す半導体記憶装置の電圧印加条件による特性の劣化の変化のデータを示す図である。

【図 4】本発明の第 4 実施例を示す半導体装置の模式図である。

【図 5】本発明の第 5 実施例を示す半導体装置の模式図である。

【図 6】本発明の第 6 実施例を示す半導体装置の断面図である。

【図 7】本発明の第 7 実施例を示す半導体装置の断面図である。

【図 8】本発明の第 6 実施例を示す半導体装置の製造工程断面図である。

【図 9】本発明の第 7 実施例を示す半導体装置の製造工程断面図である。

【図 10】NMOS の水素アニールの有無によるライフタイム特性を示す図である。

【図 11】水素をゲート酸化膜に導入した MOSFET に電圧を加えた時の G_m , V_t の変化の時間依存性を示

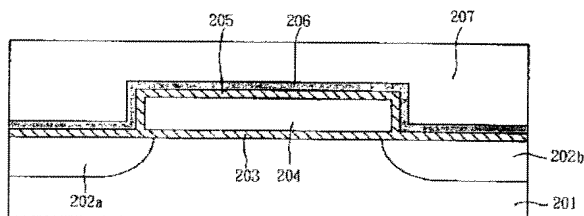
す図である。

【図 12】従来の EPROM に使用されるメモリセルの一般的な構造断面図である。

【符号の説明】

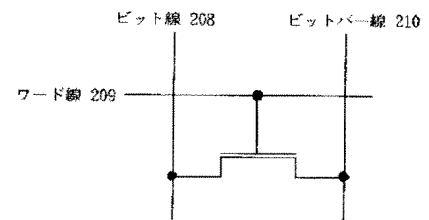
201, 801, 901 P 型半導体基板
202a, 202b, 806a, 806b, 906a, 906b 拡散層
203 ゲート酸化膜
204 ゲート電極
205, 207 酸化膜
206 高濃度に水素を含有するシリコンを組成中に含む層状膜
208 ビット線
209 ワード線
210 ビットバー線
300, 400 チップ
301 メモリセル
303, 403 リファレンストランジスタ
401 メモリブロック
606, 808 シリコン窒化膜
802, 902 素子分離膜
803, 903 シリコン酸化膜 (ゲート酸化膜)
804, 805, 904, 905 ポリシリコン/タングステンサイドの積層構造
807, 809, 909 シリコン酸化膜

【図 1】

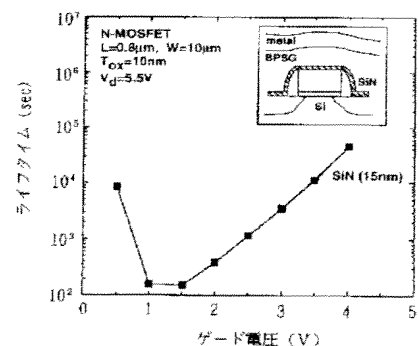


201: P 型半導体基板
203: ゲート酸化膜
205, 207: 酸化膜
206: 高濃度に水素を含有するシリコンを組成中に含む層状膜
202a, 202b: 拡散層
204: ゲート電極

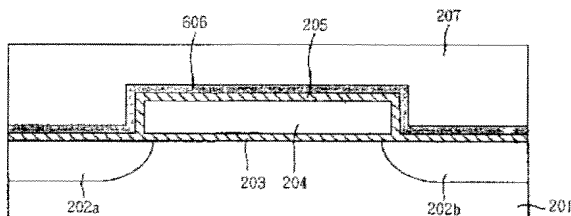
【図 2】



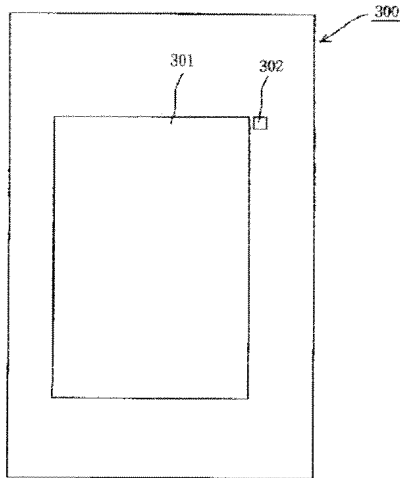
【図 3】



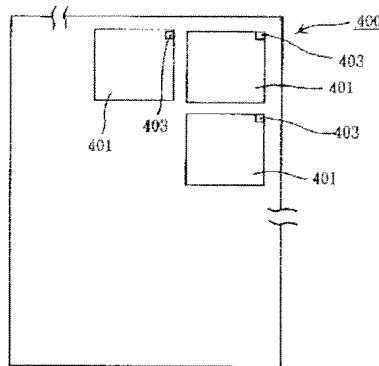
【図 6】



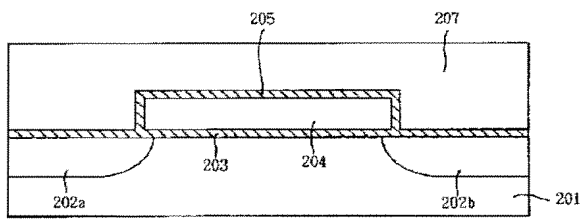
【図 4】



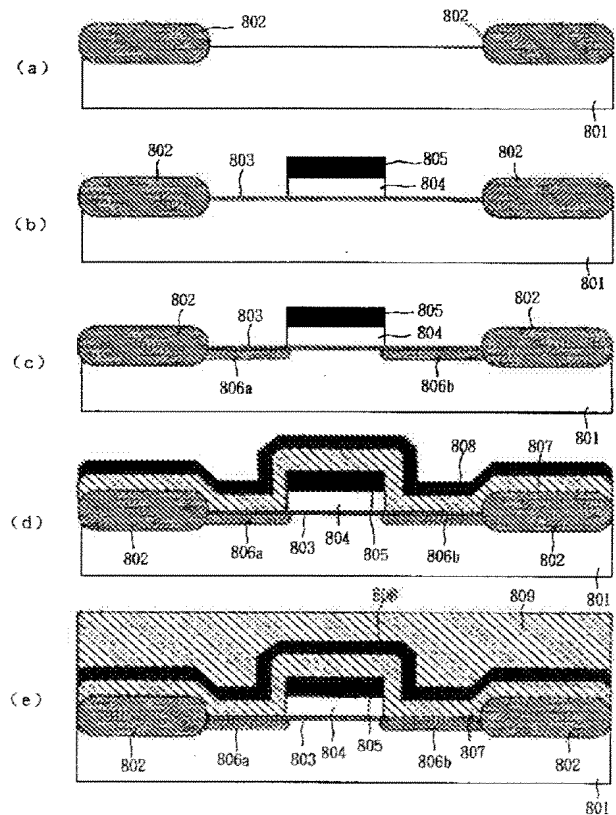
【図 5】



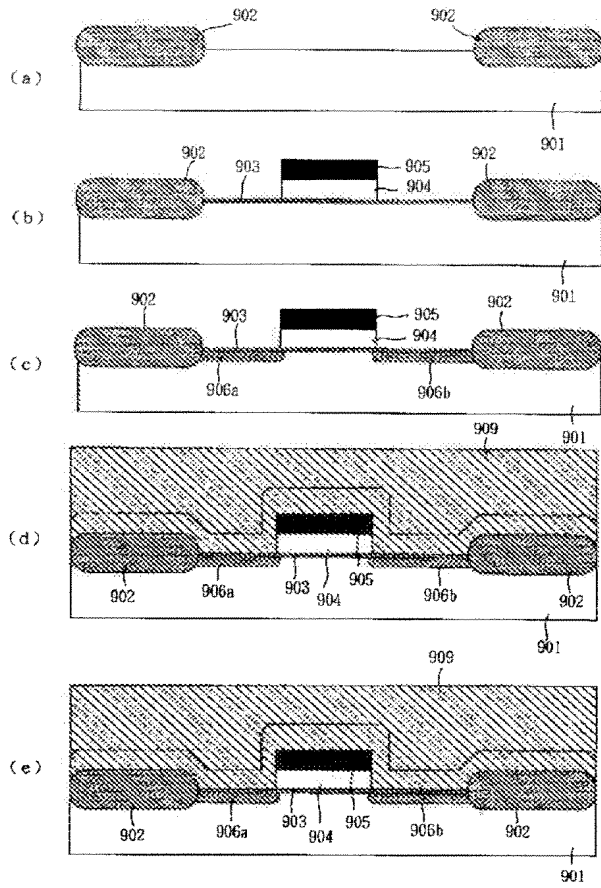
【図 7】



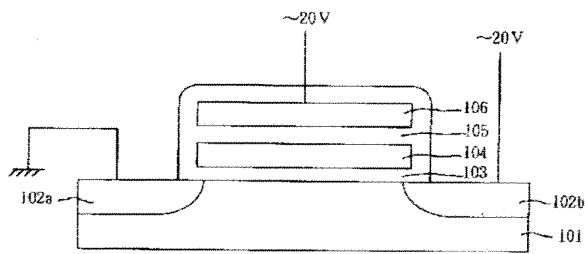
【図 8】



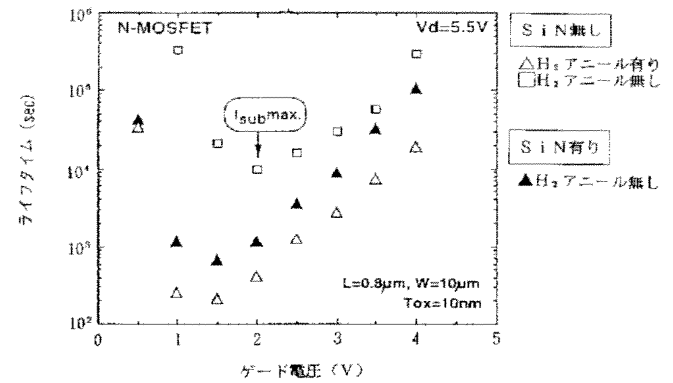
【図 9】



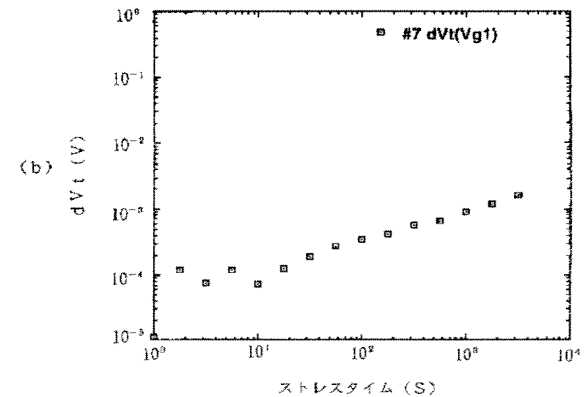
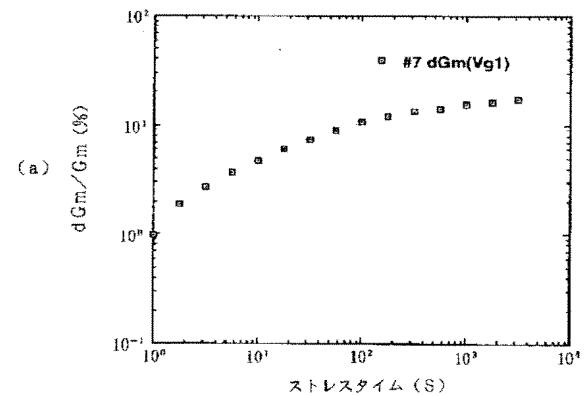
【図 12】



【図 10】



【図 11】



フロントページの続き

(72)発明者 時藤 俊一
東京都港区虎ノ門 1 丁目 7 番 12 号 沖電気
工業株式会社内

(72)発明者 内田 英次
東京都港区虎ノ門 1 丁目 7 番 12 号 沖電気
工業株式会社内

(72) 発明者 洪沢 勝彦
東京都港区虎ノ門 1 丁目 7 番 12 号 沖電気
工業株式会社内

F ターム(参考) 5F001 AB02 AD12 AD18 AD62 AE02
AE03 AE20 AG02 AG03 AG07
AG21 AG30 AG31 AH07
5F083 EP17 EP22 EP63 ER02 ER05
ER09 ER25 GA09 GA28 GA30
JA02 JA32 JA35 JA39 JA53
NA02 PR12 PR18 PR21 PR29
PR33